

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

[Claim(s)]

[Claim 1] The method for operating the memory array equipped with two or more memory cells which need to be refreshed periodically characterized by providing the following. Process in which it judges whether external access to the aforementioned memory array is unsettled. Process in which the aforementioned external access is performed when judged with external access being unsettled. Process in which it judges whether refreshment is unsettled. Process in which the aforementioned refreshment is performed when judged with external access not being unsettled.

[Claim 2] The method according to claim 1 characterized by having further the process which accumulates all refreshment that was not performed while external access was unsettled in order to perform the aforementioned refreshment behind.

[Claim 3] The method according to claim 1 characterized by equipping each aforementioned cell with one transistor.

[Claim 4] The method according to claim 1 characterized by each aforementioned cell being a DRAM cell.

[Claim 5] The method according to claim 1 characterized by the aforementioned memory array having a peak frequency of operation equal to the peak frequency of the aforementioned external access at least.

[Claim 6] The method which is a method for operating a memory array equipped with two or more memory cells which need to be refreshed periodically, and is characterized by having process in which it judges whether refreshment is unsettled, and process in which refreshment which is not processed [aforementioned] is performed only in the idle time during external access to the aforementioned memory array.

[Claim 7] The memory system characterized by being a memory system, having the array of the memory cell which needs to be refreshed periodically, the access controller connected to the aforementioned memory array in order to access the aforementioned memory cell from the outside, and the refreshment controller connected to the aforementioned memory array since the aforementioned memory cell is refreshed, and refreshing the aforementioned refreshment

controller for the aforementioned memory cell only in the idle time during external access to the aforementioned memory cell.

[Claim 8] The system according to claim 7 characterized by having further the arbiter connected between the aforementioned access controller and the aforementioned refreshment controller.

[Claim 9] The system according to claim 7 characterized by each memory cell being a DRAM cell.

[Claim 10] The system according to claim 7 characterized by equipping the aforementioned memory cell with one transistor, respectively.

[Claim 11] The system according to claim 7 characterized by the aforementioned memory array having a peak frequency of operation equal to the peak frequency of the aforementioned external access at least.

[Claim 12] The system according to claim 8 characterized by having further the accumulator formed in the aforementioned refreshment controller in order to accumulate the aforementioned refreshment until refreshment comes to be performed in the aforementioned idle time.

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to semiconductor memory. It relates to this invention using a DRAM cell in relation to both SRAM and DRAM, in detail, in order to assemble SRAM compatibility memory.

[0002]

[Description of the Prior Art] the conventional DRAM (dynamic RAM) memory cell which consists of one transistor (1-T) and one capacitor has a remarkably small chip surface area, and, so, it is cheaper than the SRAM (static RAM) cell which is alike as usual and consists of 4-6 transistors. However, the data stored in a DRAM cell do not have the need to refreshing periodically in a SRAM cell. Although the conventional technology SRAM, for example, false ["false" (refer to Toshiba data book in 1990)], tried with how to use a DRAM cell for SRAM application, it was almost ineffective, and since the external signal was needed during memory refreshment in order that the device might control memory refreshment, delay was produced in external access. As a result, refreshment does not have permeability and the device does not have compatibility with a SRAM device in essence.

[0003]

[Problem(s) to be Solved by the Invention] It is offering the SRAM compatibility memory using the DRAM cell which the delay in external access does not produce by refreshment.

[0004]

[Means for Solving the Problem] The single transistor memory cell according to this invention is the same as the conventional DRAM cell in general. Therefore, the memory needs periodic

refreshment. Refreshment occupies memory bandwidth. In external access, the oak and memory refreshment all whose bandwidth generally needed by both refreshment and external access is below the memory bandwidth given by the memory cell array are completely (related with timing) uninfluential, and can be performed. Since refreshment is a comparatively rare event, the average bandwidth which refreshment occupies is relatively small compared with the peak bandwidth which can be used to a memory array. For example, in the case of one example of this invention, a memory frequency of operation is 100MHz, and the refreshment frequency (in the case [Being the memory cell of 1000 lines.] of each end-of-a-road 16msec refreshment time) of 62.5kHz is occupied 0.0625% of all the bandwidth that can be used.

[0005] Theoretically, the oak and refreshment whose external access frequency is 99.9375MHz do not affect it at all about external access. However, in fact, when the cycle time of a memory array is 10ns, generating of each refreshment access takes 10ns, and each external access takes at least 10ns. In order to perform refreshment to transparency to external access, the external access time should take 20ns (it is 10ns to 10ns and actual access to refreshment), namely, external access frequency should become smaller than 50MHz. Refreshment is the frequency which is 62.5kHz and supporting that 50MHz application performs refreshment using a 100MHz memory array does not have it. [economical] Still more generally the average frequency of external access is smaller than peak access frequency. In fact, at an existing memory system, there is almost nothing that has a utilization factor (an average frequency / peak frequency) exceeding 99.9%. Therefore, a peak frequency of operation can be equal to peak external access frequency, or can be slightly large, memory refreshment can be performed using low average access frequency, and the memory system can design the memory system using a 1-T cell it is made visible [memory system] as SRAM.

[0006]

[Embodiments of the Invention] In the one example of this invention, a memory cell array has 32-bit 128K WORD. So, the array has 32 data I/O line. Drawing 1 shows an example of this memory system which has such an array. A memory system is equipped with the memory cell array 10, the memory array sequencer 14, the memory address multiplexer 16, the refreshment controller 20, the external access controller 22, and the access arbiter 26. The memory array 10 is arranged in 2K lines and 2K train. The sense amplifier in block 30 which performs data sensing, restoration, and write-in operation relates to each train. One cell array line is made into operating state during each access, and 2K memory cell of the line is connected to the sense amplifier 30 within each train.

[0007] a sense amplifier 30 is boiled as usual and connected to I/O buffer 36 through the 2K-32 train multiplexer 38 of a lot The memory array sequencer 14 generates DRAM control signal RAS# as usual and CAS#, in order to control operation of an array. The function of RAS# and a

CAS# signal is the same as the function indicated by U.S. Pat. No. 5,615,169 by the same artificer, is referred to here and is using the whole as some of these specifications. The external access controller 22 interprets an external access command, and generates read-out/write request. In the one example, external access is decided using two signals. The signal is a clock (CLK) and an address SUSUTO lobe (ADS#). External access is detected by the start clock edge in the operating state of an address strobe (ADS#) signal.

[0008] Drawing 2 shows the timing relationship of these two signals. Signaling of ADS# and CLK is the same as that of the industry standard in synchronous [SRAM] (for example, please refer to Intel Pentium Processor 3.3 v Pipelined BSRAM specification version 2.0 as of March 25, 1995).

[0009] In the another example, an external-interface signal can be made to be the same as that of the signal of standard asynchronous SRAM (please refer to the data sheet for Mitsubishi Semiconductor Memory Data Book, M5M5178P, and 64KSRAM in 1990). An ADS# signal can be internally generated by the same address changes detector as what is indicated by in this case, November, 1991 JSSC by Murakami etc., Vol.126, No.11, and pp.1563-1567 "A 21-mW 4-Mb CMOS SRAM for Battery Operation." Therefore, the generated ADS# signal can be used in order to make it synchronize with the interior action of memory.

[0010] At the time of detection of external access, the external access controller 22 makes operating state demand signal EREQ# to the access arbiter 26, and the access arbiter 26 makes an ASEL signal highness, and it chooses the address on the external access address bus ECAdd for the address for access over the memory array 10. Moreover, an arbiter 26 also makes operating state the external access EA# signal inputted into the memory array sequencer 14 which generates RAS# and CAS# for controlling array operation. The timing of these signals is also shown in drawing 2.

[0011] When access between external access and refreshment collides, an access priority is usually given by the arbiter 26 to external access. By doing so, external access does not produce delay by refreshment. This example is formed so that it may have memory cycle time equal to a clock period, therefore it makes possible random access for every clock cycle. The access can be random, namely, the access can be the arbitrary addresses which spread to device address space. It is at the start time of a clock cycle, and an arbiter 26 evaluates the demand, drives the ASEL signal inputted into the address multiplexer 16, and chooses one of the two addresses. The two addresses are a refresh address RFAdd or the external access address ECAdd, and are used for operation of the memory array 10. Refreshment access comes to be performed by the arbiter 26 only when external access does not exist. Refreshment is delayed when a collision takes place. This timing is also shown in drawing 2.

[0012] The refreshment controller 20 generates a refreshment demand periodically so that it

may ensure that the memory array 10 is refreshed suitably. Since it refreshes during the refreshment time for 16ms when there is a memory array 10, the refreshment controller 20 generates one refreshment demand every 8 microseconds. Refreshment demand signal RREQ# is made into operating state when unsettled refreshment exists. The operating state of a RREQ# signal is detected by the arbiter 26 with the start edge of a MCLK signal. When an external access demand is not detected, an arbiter 26 makes both refreshment discernment RFAK# and an ASEL signal the low between one clock cycles. It is used for refreshment of the present memory cycle, and a subsequent memory cycle chooses the refresh address from the refreshment controller 20 as the address over the memory array 10.

[0013] Drawing 3 is the block diagram of the refreshment controller 20, and is equipped with the refreshment address counter 40, the refreshment timer 44, and the refreshment accumulator 50. The refreshment counter 40 gives a 11-bit line address to the memory array 10 into a refresh cycle. The increment of the refreshment counter 40 is carried out at the time of the end of a refresh cycle in which signaling is carried out by halt of refreshment discernment RFAK# of operation. The refreshment timer 44 is reset at the time of starting (reset signal). A timer 44 is equipped with the 12-bit counter 46 and 12 input NAND gate 48 which realize all the counts of 4095 cycle. In the case of a 100MHz clock frequency, the deadline of a timer 44 is passed every about 8 microseconds (signal Q0-Q12 become highness).

[0014] When all counter bit Q0-Q12 become highness, a refreshment rise RFUP# signal is made a low by NAND gate 48 between one clock cycles. This signal is inputted into the refreshment accumulator 50 in order to increment triplet rise / down counter 52. An updown counter 52 increments only 1, when RFUP# is made into a low, and when RFAK# is made into the low between one clock cycles, it carries out the decrement only of 1. A counter 52 stops an increment, when becoming full count (i.e., when AQ0-AQ2 becomes highness altogether). When accumulator 50 count is not empty (i.e., when signal AQ0-AQ2 is not 000), the refreshment demand RRQg is made a low by the OR gate 54. The function of an accumulator 50 is shown below.

[0015] External access between one or the refreshment deadline periods beyond it (respectively about 8 microseconds) may continue. In this case, in order to adjust without losing a refresh cycle, a refreshment demand is accumulated at an accumulator 50. The refreshment demand RREQ# signal over an arbiter 26 is made into a low state until an accumulator 50 becomes empty. In this example, an accumulator 50 can be accumulated up to 7 refreshment. Thereby, the system can continue external access between the periods by 56 microseconds, without losing a refresh cycle. generally in the computer system aiming at this typical memory system functioning, continuous external access longer than 56 microseconds is not generated (others — in application, the size of a counter 52 can be fluctuated so that the requirement for application

may be satisfied)

[0016] In this example, the signal MCLK which synchronizes with operation of a memory system is drawn as external clock signal CLK shell conventional. MCLK can make it generate in the another example by conventional on-chip VCO and conventional PLL (phase locked loop). PLL synchronizes with the MCLK start edge to the output of an address changes detector, and an address changes detector generates a pulse, in case changes occur on an address bus.

[0017] Drawing 4 shows an example of the internal structure of the arbiter 26 of drawing 1 , and is equipped with NAND gate 56 connected to an inverter 58 so that it may be illustrated by this example. In this way, refreshment is prevented except for the case where unsettled memory array external access does not exist.

[0018] This indication is a thing for instantiation and is not restricted. Still more nearly another example of change is clear to this contractor from a viewpoint of this indication, and it is the thing by which the example of change also goes into an attached claim and which carries out a thing intention.

[0019]

[Effect of the Invention] By this invention, the SRAM compatibility memory using the DRAM cell which the delay in external access does not produce by refreshment can be offered.

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram of the memory system according to this invention.

[Drawing 2] It is a timing chart to the system of drawing 1 .

[Drawing 3] It is drawing showing the refreshment controller of the system of drawing 1 .

[Drawing 4] It is drawing showing the arbiter of drawing 1 .

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-297067

(43)Date of publication of application : 29.10.1999

(51)Int.Cl. G11C 11/403
H01L 27/10

(21)Application number : 11-061012

(71)Applicant : MONOLITHIC SYST TECHNOL INC

(22)Date of filing : 09.03.1999

(72)Inventor : LEUNG WINGYU

(30)Priority

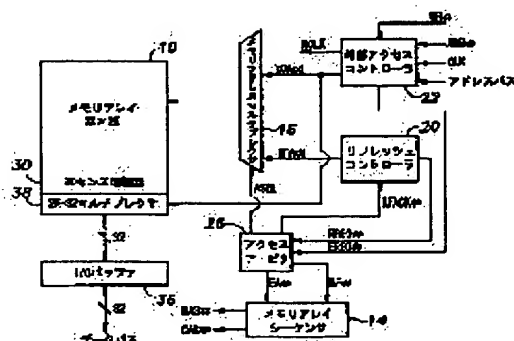
Priority 98 37396 Priority 09.03.1998 Priority US

(54) METHOD AND APPARATUS FOR 1-TSRAM COMPATIBLE MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain an SRAM compatible using DRAM cells which never delay in an external access due to refresh by judging whether the external access to a memory array is processed and if the external access is processed, executing the refresh.

SOLUTION: Upon detection of an external access, an external access controller 33 makes a request signal EREQ2970 active for an access arbiter 26, and the access arbiter 26 sets an ASEL signal high to select an address on an external access address bus ECAdd for an accessing address to the memory array 10. If the external access conflicts with an access to refresh, the access arbiter 26 gives access priority usually to the external access and hence the external access never delays due to refresh.



LEGAL STATUS

[Date of request for examination]

14.03.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-297067

(43)公開日 平成11年(1999)10月29日

(51) Int.Cl.⁸

識別記号

FI

G 1 1 C 11/403

G 1 1 C 11/34

3 7 1 J

H01L 27/10

3 7 1

H0 1 L 27/10

3 7 1

審査請求 未請求 請求項の数12 O.L (全 6 頁)

(21)出願番号 特願平11-61012

(22)出願日 平成11年(1999)3月9日

(31)優先権主張番号 09/037396

(32)優先日 1998年3月9日

(33)優先権主張国 米国 (US)

(71)出願人 595108505

モノリシック・システム・テクノロジー・
インコーポレイテッド

Monolithic System Technology, Inc.

アメリカ合衆国カリフォルニア州95134・
サンノゼ・シーリーロード 2670

(72)発明者 ウィンギュ・リュング

アメリカ合衆国カリフォルニア州95014・
クーパーティノー・オレンジアベニュー
10450

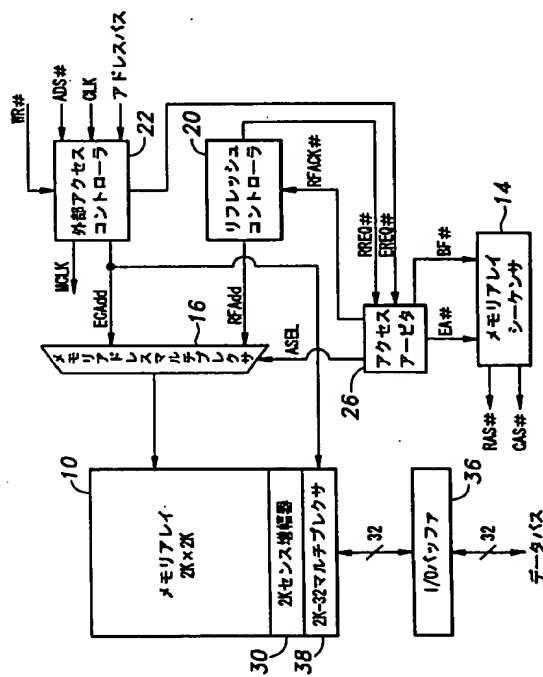
(74)代理人 弁理士 大島 陽一

(54)【発明の名称】 1-TSRAM互換性メモリのための方法及び装置

(57) 【要約】

【課題】 リフレッシュにより外部アクセスにおける遅延が生じることのないDRAMセルを用いたSRAM互換性メモリを提供する。

【解決手段】 リフレッシュが外部アクセスに影響を与えないようにDRAMアレイのリフレッシュを処理する。これにより、SRAM互換性メモリは、DRAM（或いは1トランジスタ）セルから組み立てられるようになる。頻度が低いメモリリフレッシュを実行するために未使用の外部アクセス時間を利用することにより、メモリアレイのピーク帯域幅要件における損失を無くすることができる。



【特許請求の範囲】

【請求項1】 周期的にリフレッシュする必要がある複数のメモリセルを備えるメモリアレイを動作させるための方法であって、

前記メモリアレイに対する外部アクセスが未処理であるか否かを判定する過程と、

外部アクセスが未処理であると判定された場合、前記外部アクセスを実行する過程と、

リフレッシュが未処理であるか否かを判定する過程と、

外部アクセスが未処理でないと判定された場合、前記リフレッシュを実行する過程とを有することを特徴とする方法。

【請求項2】 前記リフレッシュを後に実行するために、外部アクセスが未処理の間に実行されなかった全てのリフレッシュを蓄積する過程をさらに有することを特徴とする請求項1に記載の方法。

【請求項3】 前記各セルが1つのトランジスタを備えることを特徴とする請求項1に記載の方法。

【請求項4】 前記各セルがDRAMセルであることを特徴とする請求項1に記載の方法。

【請求項5】 前記メモリアレイが、前記外部アクセスのピーク周波数に少なくとも等しいピーク動作周波数を有することを特徴とする請求項1に記載の方法。

【請求項6】 周期的にリフレッシュする必要がある複数のメモリセルを備えるメモリアレイを動作させるための方法であって、

リフレッシュが未処理であるか否かを判定する過程と、前記メモリアレイに対する外部アクセス間のアイドル時間中にのみ前記未処理のリフレッシュを実行する過程とを有することを特徴とする方法。

【請求項7】 メモリシステムであって、周期的にリフレッシュする必要があるメモリセルのアレイと、前記メモリセルに外部からアクセスするために、前記メモリアレイに接続されるアクセスコントローラと、前記メモリセルをリフレッシュするために、前記メモリアレイに接続されるリフレッシュコントローラとを備え、

前記リフレッシュコントローラが、前記メモリセルへの外部アクセス間のアイドル時間中にのみ前記メモリセルをリフレッシュすることを特徴とするメモリシステム。

【請求項8】 前記アクセスコントローラと前記リフレッシュコントローラとの間に接続されるアービタをさらに備えることを特徴とする請求項7に記載のシステム。

【請求項9】 各メモリセルがDRAMセルであることを特徴とする請求項7に記載のシステム。

【請求項10】 前記メモリセルがそれぞれ1つのトランジスタを備えることを特徴とする請求項7に記載のシステム。

【請求項11】 前記メモリアレイが、前記外部アクセスのピーク周波数に少なくとも等しいピーク動作周波数を有することを特徴とする請求項7に記載のシステム。

【請求項12】 リフレッシュが前記アイドル時間中に実行されるようになるまで、前記リフレッシュを蓄積するために前記リフレッシュコントローラ内に設けられるアキュムレータをさらに備えることを特徴とする請求項8に記載のシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体メモリに関連する。詳細には本発明はSRAM及びDRAMのいずれにも関連し、SRAM互換性メモリを組み立てるためにDRAMセルを使用することに関連する。

【0002】

【従来の技術】1つのトランジスタ(1-T)及び1つのコンデンサからなる従来のDRAM(ダイナミックランダムアクセスメモリ)メモリセルは、従来通りに4〜6個のトランジスタからなるSRAM(スタティックランダムアクセスメモリ)セルよりチップ表面積が著しく小さく、それ故安価である。しかしながら、DRAMセル内に格納されるデータは周期的にリフレッシュする必要があるのに対して、SRAMセルではその必要がない。従来技術、例えば「疑似SRAM」(1990年東芝データブック参照)は、DRAMセルをSRAMアプリケーションに用いようと試みたが、ほとんど効果がなく、そのデバイスがメモリリフレッシュを制御するためにメモリリフレッシュ中に外部信号を必要としたため、外部アクセスに遅延を生じた。その結果リフレッシュは透過性を有しておらず、そのデバイスは本質的にSRAMデバイスとの互換性を有していない。

【0003】

【発明が解決しようとする課題】リフレッシュにより外部アクセスにおける遅延が生じることのないDRAMセルを用いたSRAM互換性メモリを提供することである。

【0004】

【課題を解決するための手段】本発明に従った単一トランジスタメモリセルは従来のDRAMセルと概ね同じである。従ってそのメモリは周期的なリフレッシュを必要とする。リフレッシュはメモリ帯域幅を占有する。一般にリフレッシュ及び外部アクセスの両方により必要とされる全帯域幅が、メモリセルアレイにより与えられるメモリ帯域幅以下であるなら、メモリリフレッシュは外部アクセスにおいて(タイミングに関して)全く影響がなく実行することができる。リフレッシュは比較的稀な事象であるため、リフレッシュが占有する平均帯域幅は、メモリアレイに対して利用可能なピーク帯域幅に比べて相対的に小さい。例えば、本発明の一実施例の場合、メ

26により、リフレッシュアクセスが実行されるようになる。衝突が起こる場合には、リフレッシュが遅延される。このタイミングも図2に示される。

【0012】リフレッシュコントローラ20は、メモリアレイ10が適宜リフレッシュされるのを確実にするように周期的にリフレッシュ要求を発生する。メモリアレイ10がある時点で、16msのリフレッシュ時間の間リフレッシュされるため、リフレッシュコントローラ20は8 μ s毎に1つのリフレッシュ要求を発生する。リフレッシュ要求信号RREQ#は、未処理のリフレッシュが存在する時に動作状態にされる。RREQ#信号の動作状態は、MCLK信号の立上がりエッジでアービタ26により検出される。外部アクセス要求が検出されない場合、アービタ26は、リフレッシュ識別RFAACK#及びASEL信号の両方を1クロックサイクルの間ローにする。現在のメモリサイクルがリフレッシュのために用いられ、その後のメモリサイクルが、メモリアレイ10に対するアドレスとしてリフレッシュコントローラ20からのリフレッシュアドレスを選択する。

【0013】図3はリフレッシュコントローラ20のブロック図であり、リフレッシュアドレスカウンタ40、リフレッシュタイマ44並びにリフレッシュアキュムレータ50を備える。リフレッシュカウンタ40は、リフレッシュサイクル中にメモリアレイ10に対して11ビット行アドレスを与える。リフレッシュカウンタ40は、リフレッシュ識別RFAACK#の動作停止によりシグナリングされるリフレッシュサイクルの終了時にインクリメントされる。リフレッシュタイマ44は始動時に（リセット信号により）リセットされる。タイマ44は、4095サイクルの全カウントを実現する12ビットカウンタ46及び12入力NANDゲート48を備える。100MHzのクロック周波数の場合、タイマ44は約8 μ s毎にタイムアップする（信号Q0-Q12がハイになる）。

【0014】全てのカウンタビットQ0-Q12がハイになるとき、リフレッシュアップRFUP#信号は、1クロックサイクルの間NANDゲート48によりローにされる。この信号は、3ビットアップ/ダウンカウンタ52をインクリメントするためにリフレッシュアキュムレータ50に入力される。アップダウンカウンタ52は、RFUP#がローにされる時、1だけインクリメントし、RFAACK#が1クロックサイクルの間ローにされる時、1だけデクリメントする。カウンタ52は、フルカウントになる時、すなわちAQ0-AQ2が全てハイになる時、インクリメントを中止する。アキュムレータ50カウントが空でない場合、すなわち信号AQ0-AQ2が000でない場合、リフレッシュ要求RREQgはORゲート54によりローにされる。アキュムレータ50の機能は以下に示される。

【0015】1つ或いはそれ以上のリフレッシュタイム

アップ周期（それぞれ約8 μ s）の間外部アクセスが持続する場合がある。この場合にリフレッシュサイクルを損失することなく調整するために、リフレッシュ要求がアキュムレータ50に蓄積される。アービタ26に対するリフレッシュ要求RREQ#信号は、アキュムレータ50が空になるまでロー状態にされたままである。本実施例では、アキュムレータ50は7リフレッシュまで蓄積することができる。これにより、そのシステムはリフレッシュサイクルを損失することなく56 μ sまでの周期の間、外部アクセスを継続することができるようになる。この典型的なメモリシステムが機能することを目指すコンピュータシステムでは、一般に56 μ sより長い連続的な外部アクセスは発生しない（他のアプリケーションでは、カウンタ52の大きさはその応用要件を満足するように増減されることができる）。

【0016】本実施例では、メモリシステムの動作に同期する信号MCLKは外部クロック信号CLKから従来通りに導かれる。別の実施例では、MCLKは従来のオンチップ発振器及びPLL（フェーズロックループ）により発生させることができる。PLLはアドレス選移検出器の出力に対するMCLK立上がりエッジに同期し、アドレス選移検出器はアドレスバス上に選移が発生する際にパルスが発生する。

【0017】図4は図1のアービタ26の内部構造の一例を示し、本実施例では、図示されるようにインバータ58に接続されるNANDゲート56を備える。こうして未処理のメモリアレイ外部アクセスが存在しない場合を除いて、リフレッシュは防止される。

【0018】本開示は例示のためのものであり、制限するものではない。さらに別の変更例が本開示の観点から当業者には明らかであり、その変更例も添付の請求の範囲に入ることを意図するものである。

【0019】

【発明の効果】本発明により、リフレッシュにより外部アクセスにおける遅延が生じることのないDRAMセルを用いたSRAM互換性メモリを提供することができる。

【図面の簡単な説明】

【図1】本発明に従ったメモリシステムのブロック図である。

【図2】図1のシステムに対するタイミング図である。

【図3】図1のシステムのリフレッシュコントローラを示す図である。

【図4】図1のアービタを示す図である。

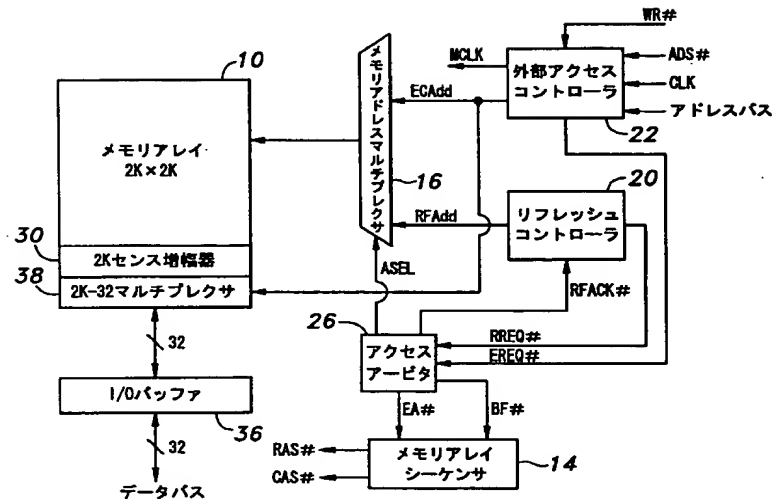
【符号の説明】

- 10 メモリアレイ
- 14 メモリアレイシーケンサ
- 16 メモリアドレスマルチプレクサ
- 20 リフレッシュコントローラ
- 22 外部アクセスコントローラ

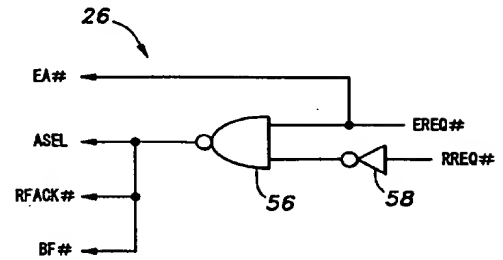
26 アクセスアービタ
 30 センス増幅器
 36 I/Oバッファ
 38 2K-32マルチプレクサ
 40 リフレッシュアドレスカウンタ
 44 リフレッシュタイマ
 46 12ビットバイナリカウンタ

48 12入力NANDゲート
 50 リフレッシュアキュムレータ
 52 3ビットアップ/ダウンカウンタ
 54 ORゲート
 56 NANDゲート
 58 インバータ

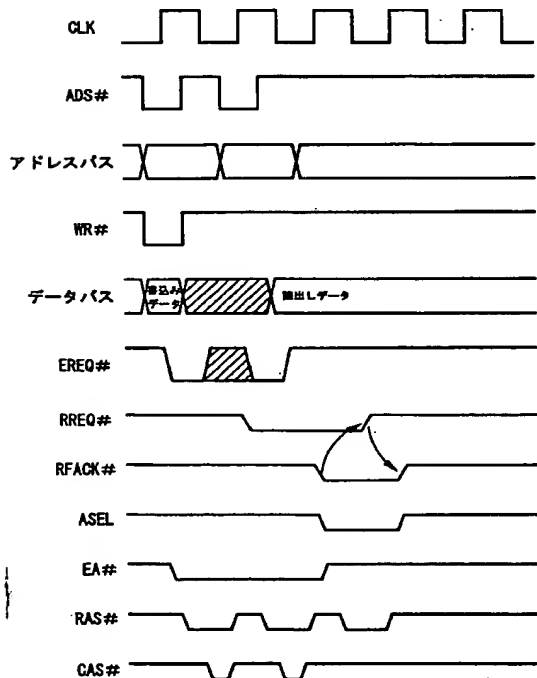
【図1】



【図4】



【図2】



【図 3】

